

ACTEL АНОНСИРУЕТ CADENCE-ПОДДЕРЖКУ ДЛЯ ProASIC Plus FPGAs

Для симуляции проектов на базе ProASIC Plus можно использовать симуляторы NC-Sim, NC-Verilog, NC-VHDL, Verilog Desktop, VHDL Desktop и NC-Sim Desktop.

В свою очередь, Cadence BuildGates обеспечивает эффективный синтез для ProASIC Plus.

Всё более часто разработчики ASIC вынуждены использовать PLD-технологии для сокращения сроков и стоимости разработки.

Семейство ProASIC Plus включает 6 устройств от 150000 до 1 млн. системных вентилях. Комбинация близкой к ASIC архитектуры и энергонезависимой флэш-памяти делает ProASIC сильной альтернативой ASIC. Устройства функционируют при выключении питания, не требуют конфигурационной памяти и обеспечивают высокую степень секретности. Поддерживается до 198 Кбит двухпортовой встроенной SRAM и 712 конфигурируемых пользователем контактов ввода/вывода. Дополнительная информация на сайте <http://www.actel.com>.

SYNPLICITY УЛУЧШАЕТ SYNPLIFY PRO

Новая версия Synplify Pro поддерживает стандарт Verilog 2001, имеет улучшенную производительность и поддерживает новые ОС (Windows XP и Linux (RedHat 7.2)) и устройства (Altera Stratix, Actel ProASIC Plus, Lattice ispGDX2 и isp5000MX, Xilinx CoolRunner II, Virtex-II Pro FPGA).

Verilog 2001 включает в себя поддержку конфигурируемого IP моделирования и управление проектом, языковые новшества: арифметические выражения к регистрам, литералам, оператор возведения в степень, список чувствительности, разделенный запятыми.

Разработанные Synplicity алгоритмы синтеза V.E.S.T. (*Behavior Extracting Synthesis Technology*) извлекают из описаний память, FSM, сложные математические функции, а затем эффективно размещают всё это по ресурсам конкретного устройства (например, блоки MAC и TriMatrix в Stratix).

Synplify 7.1 и Synplify Pro 7.1 стоят от \$9000 и \$19000, соответственно. Дополнительная информация на сайте <http://www.synplicity.com>.

XILINX И COWARE НАМЕРЕНЫ СОТРУДНИЧАТЬ В СОЗДАНИИ СРЕДСТВ РАЗРАБОТКИ VIRTEX II PRO НА СИСТЕМНОМ УРОВНЕ

При наличии таких средств пользователи смогут эффективно совместно разрабатывать программное и аппаратное обеспечение для Xilinx Virtex-II Pro чипов, имеющих встроенный процессор Power PC 405, а также для чипов Xilinx Virtex-II, используя синтезируемое описание ядра процессора MicroBlaze.

Демонстрация этих средств планируется на Programmable World 2002 <http://www.xilinx.com/pw2002>.

N²C фирмы CoWare будет интегрирован со средствами разработки Xilinx FPGA.

В 2000 году CoWare была признана 5-ой в числе самых быстрорастущих компаний (по материалам San Jose Business Journal). В числе пользователей CoWare: Alcatel, ARM, Canon, Fujitsu, IBM, InterDigital, Matsushita, Motorola, Nokia, Samsung, Sanyo, Sony, STMicroelectronics, Tensilica, Toshiba, Xilinx.

Дополнительная информация на сайте <http://www.CoWare.com>.

TransEDA УСКОРЯЕТ ВЕРИФИКАЦИЮ SoC, ВЫПУСКАЯ VN-COVER EMULATOR — ПЕРВЫЙ В ИНДУСТРИИ АНАЛИЗАТОР ПОКРЫТИЯ ПО РЕЗУЛЬТАТАМ ЭМУЛЯЦИИ

Поскольку эмуляция — дорогое удовольствие, разработчики стремятся сократить её до минимума — при этом обеспечивая нужное качество разработки. VN-Cover Emulator даёт объективную информацию для принятия решений.

VN-Cover Emulator поддерживает эмуляторы Xcite и Xtreme фирмы AXIS SYSTEMS, VStation фирмы IKOS SYSTEMS, CoBALT и CoBALT Plus фирмы QUICKTURN (подразделение Cadence).

VN-Cover обеспечивает слияние результатов покрытия при симуляции и эмуляции.

Цена на VN-Cover Emulator — от \$50000 за годовую лицензию. Дополнительная информация на сайте <http://www.transeda.com>.

LS 2002a — НОВАЯ ВЕРСИЯ LEONARDOSPECTRUM ФИРМЫ MENTOR GRAPHICS

В настоящее время с LS работают более 30000 разработчиков — используют микросхемы фирм ALTERA, ACTEL, LATTICE, QuickLogic и XILINX.

LS 2002a обеспечивает полную поддержку новых микросхем Stratix фирмы ALTERA. Кроме того, при использовании LS 2002a разработчики могут назначить атрибут LogicLock одному или более модулей в среде синтеза. Эти атрибуты автоматически будут переданы в Quartus II для эффективного размещения внутри указанного фрагмента чипа. Это обеспечивает командную разработку чипов, когда каждый модуль разрабатывается независимо.

Mentor Graphics очень плотно работает с Xilinx, чтобы эффективней поддерживать новые семейства Xilinx Virtex-II Pro и Spartan-IIe, в том числе, встроенные умножители, SRL (shift register LUT) и RAM.

Теперь LS 2002a поддерживает также синтез для Actel ProASIC Plus, Lattice MACH 4a, QuickLogic Eclipse, QuickDSP, QuickPCI и QuickRAM.

LS 2002a работает также и под Microsoft Windows XP (в дополнение к Windows NT, 98, 2000, Solaris и HP-UX).

Цена на LS 2002a — от \$4500 для одного пользователя. Дополнительная информация на сайте <http://www.mentor.com/synthesis>.

XILINX ВЫПУСКАЕТ НОВЫЕ IP-КОМПОНЕНТЫ ДЛЯ VIRTEX-II

Эти IP компоненты пополнили существующее семейство LogiCORE и включают Digital Down Converter (DDC), CORDIC, Multiply-Accumulate-based Finite Impulse Response (MAC FIR) Filter, High-Performance 64-, 256-, 1024-point Complex Fast Fourier Transform (FFT)/Inverse FFT, 2-D Discrete Cosine Transform (DCT).

Дополнительная информация на сайте <http://www.xilinx.com>.

XILINX АНОНСИРУЕТ ОТКРЫТЫЙ ПРОТОКОЛ (AURORA) ДЛЯ МАСШТАБИРУЕМОГО ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА

Протокол Aurora будет продемонстрирован на Programmable World 2002 на базе Xilinx FPGA Virtex-II Pro. Цель — ускорить переход индустрии с параллельных к последовательным архитектурам межсоединений. Предполагаемая скорость передачи — до 50 Гбит/с.

Aurora — первый протокол, обеспечивающий прозрачный интерфейс для верхних уровней и промышленных стандартных протоколов, таких как Ethernet и TCP/IP, позволяя любым пакетам данных быть инкапсулированными и пересланными между чипами, платами и устройствами.

Aurora использует гигабитные последовательные технологии на физическом уровне и масштабируется от 622 Мбит/с до 3,125 Гбит/с на физический канал. Aurora может агрегировать от одного до 16 физических каналов в виртуальный канал (линк). 16-канальный линк обеспечивает передачу до 50 Гбит/с.

Такая масштабируемость позволяет протоколу Aurora оптимально поддерживать мириады приложений, таких как терабитные маршрутизаторы и свичи, HDTV системы, подсистемы памяти и так далее.

C 15 АПРЕЛЯ XILINX ПРОДАЕТ ПЕРВЫЙ ПРОГРАММИРУЕМЫЙ 10-ГБ ETHERNET MAC

IP-компоненты 1 и 10 Гб Ethernet MAC для Virtex-II Pro обеспечивают гибкость выбора соединений и будут представлены на Programmable World 2002.

10 GMAC соответствует спецификации IEEE P802.3ae Draft 4.1.

10 GMAC и 1 GMAC ядра входят в состав LogiCORE и продаются по лицензии SignOnce по цене \$22000 и \$16000, соот-

ветственно, и доступны для Virtex II. Кроме того, 1 GMAC может быть исполнен на Virtex-E и Spartan-IIЕ. Необходимо ПО версии 4.1 или позже.

Дополнительная информация на сайте <http://www.xilinx.com/pw2002>.

APPLIED MICROSYSTEMS ВЫПУСТИЛА PowerTAP ДЛЯ ПРОЦЕССОРОВ MOTOROLA MPC8266, MPC8265, MPC8264

РPowerTAP — эмулятор/отладчик для процессоров семейства Power PC.

PowerTAP делает ненужной работу с большим количеством книг или исходных текстов для дешифрации значений регистров процессоров и других отображенных на память компонент. В PowerTAP применена уникальная технология System Browser, которая объединила все необходимые сведения в один пакет и позволяет просматривать на битовом уровне назначение всех элементов памяти, имеется также возможность добавлять новые описания.

PowerTAP и MWX-ICE (отладчик фирмы Applied Microsystems) — уникальные средства разработки, совместимые с широким набором компиляторов и хост-машин, поддерживается отладка программ в Cache, ROM и Flash.

PowerTAP имеет встроенные тесты памяти и CPU, а также встроенный скриптовый язык для создания пользовательских встроенных тестов аппаратного обеспечения. Этот язык поддерживает операторы ANSI/C++, что позволяет создавать регрессионные тесты.

PowerTAP обладает возможностью работать с целевой системой удаленно по сети Ethernet с максимальной скоростью.

PowerTAP может эффективно взаимодействовать с CodeTEST — средой верификации, обеспечивающей сохранение трассы исполнения, анализ памяти и производительности и анализ покрытия исходного кода. Другие продукты фирмы APPLIED — NetROM, CodeTAP и SuperTAP. Дополнительная информация на сайте <http://www.amc.com>.

УМС ПЕРВОЙ ПРЕДЛАГАЕТ SuperH — МИКРОПРОЦЕССОРНОЕ ЯДРО

СuperH — независимый разработчик IP-компонент, который разрабатывает и лицензирует 32- и 64-бит RISC-процессоры. SuperH основана в 2001 году по взаимному соглашению STMicroelectronics и Hitachi.

SuperH SH-4 — 32-бит процессор, работающий на частоте 200 МГц, изготовлен по 130-нм технологии.

Ранее спроектирован SuperH SH-5, ведутся разработки SH-6 и SH-7. Дополнительная информация на сайте <http://www.umc.com>.

CYPRESS MICROSYSTEMS ДОБАВИЛА В СВОЮ PSoC IrDA МОДУЛЬ

IrDA (*Infrared Data Association*) модуль обеспечивает возможности беспроводного обмена данными с этой PSoC.

Кроме IrDA, на PSoC интегрированы 8-бит CPU, от 8 до 16 Кбайт флэш-памяти, SRAM и программируемые массивы аналоговых и цифровых функций.

Дополнительная информация на сайтах <http://www.cypressmicro.com>; <http://www.cypress.com>.

CADENCE И BEIJING ОРГАНИЗУЮТ ИНСТИТУТ ДЛЯ ОБУЧЕНИЯ ЭЛЕКТРОННОМУ ПРОЕКТИРОВАНИЮ

Этот институт станет совместным венчурным предприятием Cadence Design Systems Inc. и Beijing Zhongguancun Software Education Co. Ltd. Институт предназначен для обучения "post-graduate-level" инженеров. Ожидается, что он начнёт свою работу в октябре 2002 года и примет в этом году 300 студентов. Затем планируется ежегодно обучать 1000 студентов в год в течение пяти лет.

Китай демонстрирует потрясающий рост в электронной промышленности в последние годы.

Cadence анонсировала намерение инвестировать 50 млн. долларов в создание в Китае мощной сети центров исследований,

разработок, поддержки пользователей и сервиса в электронном проектировании.

Дополнительная информация на сайте <http://www.cadence.com>.

ВЫПУСК 64-БИТ FAST DESIGN COMPILER ДЛЯ HP-UX ПЛАНИРУЕТСЯ НА ИЮНЬ 2002 ГОДА

Портирование 32-бит приложений на 64-бит платформы обычно приводит к снижению производительности от 5% до 20% в связи с увеличением размера указателей и требованиям к памяти. Эта потеря в производительности — основная причина того, что пользователи средств EDA продолжают использовать 32-бит приложения.

Инженеры SYNOPSIS и HEWLETT-PACKARD, используя PBO (*Profile Based Optimization*), оптимизировали Design Compiler 64bit HP-UX таким образом, что теперь он работает на 30–60% быстрее, чем прежняя версия.

В PBO C/C++ компилятор и линкер работают вместе, чтобы оптимизировать приложение, основываясь на данных профилирования, полученных при выполнении приложения типичных функций на специальных наборах исходных данных. Оптимизации подвергаются: предсказание ветвлений, кросс-модульная оптимизация, inlining, так чтобы лучше соответствовать кешу инструкций.

Традиции компьютерной архитектуры (RISC и IA64) привели к разработке PBO практически всеми производителями компьютеров.

Два типа приложений, для которых PBO приносит наибольшую пользу:

- Приложения с низкой локальностью памяти инструкций. Обычно это огромные приложения, в которых наиболее используемые фрагменты распространены в множестве отдельно скомпилированных модулей. Циклы в таких приложениях содержат большое количество операторов и/или вызовов процедур.
- Приложения с большим количеством операторов переходов. Операции, производимые такими приложениями, сильно зависят от входных данных. Менеджеры интерфейса с пользователем, менеджеры баз данных, редакторы и компиляторы — примеры таких приложений.

PBO выполняется последовательностью следующих шагов:

1. Instrumentation: подготовка приложения к профилированию.
2. Profiling: исполнение на специальных исходных данных и сбор данных профилирования.
3. Optimization: генерация оптимизированного кода на основе результатов профилирования.